

4

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-237887

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

H01L 27/148

H01L 29/762

H01L 21/339

H01L 29/78

H04N 5/335

(21)Application number : 09-037618

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.02.1997

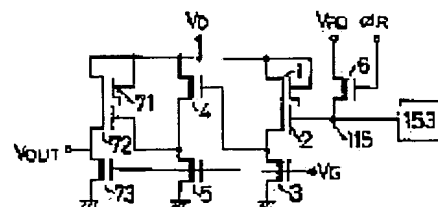
(72)Inventor : OZAKI TOSHIBUMI
 MASUHARA TOSHIAKI
 AKIMOTO HAJIME
 ONO HIDEYUKI
 TANAKA HARUHIKO
 TOKUMASU KAZUYA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve this signal to noise ratio of the output circuit of a charge transfer element by connecting a coupling capacitor to the output of a source follower, connecting an inverting amplifier to the other end of the capacitor, and providing a bias means at the input of the amplifier.

SOLUTION: The next stage source follower having transistors 4, 5 performs the role of a level shift for raising the low voltage level of an initial stage source follower up to the suitable voltage level in the operation of a final stage source follower. Simultaneously, it serves as a buffer for driving the final stage source follower having a large input capacity. A drain electric field is weakened by a buffer transistor 71 having a second gate electrode connected with a channel through a depletion layer to a gate electrode provided at the drain side of a final driver transistor 72 for driving the peripheral devices of an element. And, short-channeling of the transistor 72 can be performed.



LEGAL STATUS

[Date of request for examination] 21.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number] 2986752

[Date of registration] 01.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

71---終段ソースフォロワーバッファトランジスタ
72---終段ソースフォロワードライブトランジスタ
73---終段ソースフォロワー負荷トランジスタ

【特許請求の範囲】

【請求項1】同一半導体基板上に、電荷移送素子と、該電荷移送素子から信号電荷を順次転送される浮遊検出ノードと、該浮遊検出ノードを各信号の転送周期毎にリセットするリセット手段と、該浮遊検出ノードに接続された出力回路と、を設けた半導体装置において、上記出力回路が、上記浮遊検出ノードに入力の接続されたソースフォロワー回路と、該ソースフォロワー回路の出力に一端が接続された結合容量と、該結合容量の他端に入力が接続された反転増幅回路と、該反転増幅回路の入力に接続されたバイアス設定手段と、を備えたことを特徴とする半導体装置。

【請求項2】上記バイアス設定手段が上記反転増幅回路の入力と出力間に接続されたスイッチング素子であることを特徴とする請求項1に記載の半導体装置。

【請求項3】上記バイアス設定手段は、信号電荷の転送周期毎に信号電荷が浮遊検出ノードに転送される直前に上記反転増幅回路の入力のバイアス電圧設定を行なうことを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアナログ信号を伝達増幅するための集積回路、特にCCD型固体撮像素子における信号出力回路、および該回路に好適なMOSトランジスタの改良に関する。

【0002】

【従来の技術】従来、家庭用ビデオカメラ等に用いられる固体撮像素子には、CCD型固体撮像素子が広く用いられている。この種のCCD型固体撮像素子については、「アイ・エス・エス・シー・シー ダイジェスト オブ テクニカル ペーパーズ第96頁から第97頁(1985) (ISSCC DIGEST OF TECHNICAL PAPERS, p.96-97, 1985) 並びに、「テレビジョン学会全国大会予稿集3-11, 第57頁～第58頁; 1983年7月」において論じられている。上記文献に記載されているCCD型固体撮像素子は図15に示すインターライン型と呼ばれる素子構成をもち、その出力回路は図16に示す2段のソースフォロワー回路よりなり、出力回路を構成するトランジスタは図17に示す断面構造を持つ。

【0003】図15において、151は光電変換を行うホトダイオード、152、153はホトダイオードで光電変換された信号電荷を転送するための垂直CCD及び水平CCD、154は信号電荷を検知出力するための出力回路である。ホトダイオード151で光電変換された信号電荷は、一括して垂直CCD152に送られ、ついで一行ずつ水平CCD153に転送され、その後水平CCD153内を順次転送され、出力回路154で電圧に変換され、素子外部に出力される。

【0004】図16において、110、111はそれぞれ初段ソースフォロワーを構成するドライバトランジスタ

タ、負荷トランジスタ、112、113はそれぞれ次段ソースフォロワーを構成するドライバトランジスタ、負荷トランジスタ、114は水平CCD153から信号電荷の送られてくる浮遊拡散層115を水平CCDの転送周期ごとにリセットするためのリセットトランジスタである。また、VRD、ΦRはそれぞれ、浮遊拡散層115のリセット電圧、リセットパルス、VGは負荷トランジスタのゲート電圧、VDは出力回路の電源電圧であり、出力回路のグラウンドは素子が形成されているウェルの電圧と等しくなっている。

【0005】信号電荷は水平CCDより浮遊拡散層115に転送され、この結果生じる浮遊拡散層115の電位変化がトランジスタ110、111からなる初段ソースフォロワーにより検出され、トランジスタ112、113からなる次段ソースフォロワーにより外部に出力される。ついで、リセットパルスΦRがリセットトランジスタ114のゲートに入力され、浮遊拡散層115はリセット電圧VRDにリセットされる。以上の動作が繰り返され、信号が順次出力される。

【0006】図17は、図16の初段ソースフォロワードライバトランジスタ110のB-B'部分の断面構造図を示す図で、n型基板27上に形成されたpウェル26上にポリシリコンゲート116が形成され、これと自己整合的にドレインとなるn+拡散層24、ソースとなるn+拡散層23が形成される。

【0007】

【発明が解決しようとする課題】上記従来技術は、出力回路154の電源電圧が高いので、回路を構成しているトランジスタの耐圧上の観点から、チャネル長の短いトランジスタを用いることが出来ず、このため出力回路の雑音が多く、消費電力も大きいという問題があった。すなわち、上記従来技術に用いられている垂直CCD152並びに水平CCD153は、図17のpウェル26に構造的に結ばれた半導体基板の表面に半導体基板電位より低い電位の井戸を形成しこの井戸の中を順次信号電荷を移送することをその動作原理としている。したがって、水平CCD153の電位の井戸から電荷を転送するために出力回路の浮遊拡散層115のリセット電圧VRD、ならびに浮遊拡散層115を入力端子としている出力回路の電源電圧VDは、13v程度になる。出力回路のグラウンド電位は基板(図17のpウェル26)と同電位になっているから、電源投入時あるいは切断時においては、13vの高い電圧が出力回路を構成する各トランジスタのソースドレイン間にかかる場合がある。さらに、素子の動作中においても、出力回路を構成する各トランジスタのソースドレイン間には7v程度の高い電圧がかかる。

【0008】一方、このようなCCDの出力回路のドライバトランジスタのソースドレイン間の耐圧特性は図18に示すようになっている。すなわち図18は、ゲート

電極のチャネル長を横軸とし、ソースドレイン間電圧を縦軸としてソースドレイン間耐圧特性を図示したものである。図中、特性(1)は信頼度からきまる耐圧特性で、この特性で意図している通常の信頼度を得るためには、各チャネル長に対して同特性曲線以下のソースドレイン間電圧で動作させることが必要であることを示している。また特性(2)はソースドレイン間瞬時最大許容耐圧特性で、ソースドレイン間に瞬時的にも同特性曲線以上の電圧がかかるとトランジスタは破壊する恐れがあることを示している。さらに同図には、ドライバトランジスタのソースドレイン間にかかる電圧として、上記した動作時電圧7Vと電源投入時等瞬時的にかかる最大電圧13Vのレベルを示している。この図からわかるように、特性(2)により耐圧不良にならないようにするため、さらに特性(1)により長期信頼度劣化を防ぐため、トランジスタのチャネル長は3ミクロン以上にせざるを得ないものであった。

【0009】ところで図15および図16に戻り、上記従来例の雑音は、主として出力回路154で発生する。出力回路の雑音は、リセットトランジスタ114の熱雑音により生じるリセット雑音、出力回路を構成するトランジスタの $1/f$ 雑音、熱雑音からなる。この3成分のうちリセット雑音、 $1/f$ 雑音は、相関二重サンプリング法により、熱雑音に比し無視できる値にまで低減できる。また、熱雑音のうち次段ソースフォロワで発生する成分は、初段ソースフォロワで発生する成分に比べ無視できる値に設計することが可能である。一方、筆者等の知見によれば、初段ソースフォロワの熱雑音による信号対雑音比はドライバトランジスタ110のゲート容量が浮遊拡散層115に付随する寄生容量に等しいとき最良となる。一方、この条件下で信号対雑音比はドライバトランジスタ110のチャネル長にほぼ反比例する。すなわち、この観点ではチャネル長を短くする方がよい。しかし、先に述べた耐圧上の理由により、短チャネル化には下限が有り、したがって素子の信号対雑音比の上限が生じていた。

【0010】また、上記従来技術の消費電力は、水平CCD153と出力回路154で発生する。出力回路154では、素子外部の10pF程度の大容量を高速で駆動する必要のある次段ソースフォロワで主として生じる。本回路のカットオフ周波数は、次段ソースフォロワードライバトランジスタ112のチャネル長の $1/2$ 乗に反比例し、チャネル幅並びに貫通電流の $1/2$ 乗に比例する。また、消費電力は、電源電圧VDよりグランド電圧0Vを引いた値と貫通電流に比例する。ところで、次段ソースフォロワードライバトランジスタ112は、初段ソースフォロワの負荷となっており、所要の周波数特性を得るためにゲート面積には上限が生じる。この結果、耐圧から許容できる最小のチャネル長を用いると、チャネル幅の上限が決まる。従って、所望の周波数特性

を得るには、貫通電流を増加せざるを得ず、消費電力が大きかった。

【0011】なお、上記従来技術ではCCD型固体撮像素子の例を述べたが、以上の耐圧上の制約に基づく雑音と消費電力に関する2つの問題は従来の低雑音低消費電力を要する電荷転送素子の出力回路全般にわたる問題であった。また、上記従来例では、ソースフォロワ回路の例を述べたが、信号電荷による浮遊検出ノードの電圧変化をMOSトランジスタにより検知出力するものであれば、回路形態によらず同様な問題が起きていた。

【0012】さらに、5Vの電源電圧を用いるアナログ集積回路では、チャネル長を短くするとドレイン側の電圧の影響がソース側に及ぶようになり、このためドレインコンダクタンスが増加し、増幅器の利得が低下するという問題があった。

【0013】本発明の目的は、CCD型固体撮像素子、さらに、広くは、電荷移送素子の出力回路の信号対雑音比を向上することにある。本発明の他の目的は、CCD型固体撮像素子、さらに、広くは、電荷移送素子の出力回路の低消費電力化を図ることにある。本発明の更に他の目的は、アナログ集積回路を構成する増幅器の利得を向上することにある。またこれらの目的達成に好適なMOSトランジスタを提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明においては、同一半導体基板上に、電荷移送素子と、該電荷移送素子から信号電荷を順次転送される浮遊検出ノードと、該浮遊検出ノードを各信号の転送周期毎にリセットするリセット手段と、該浮遊検出ノードに接続された出力回路と、を設けた半導体装置において、上記出力回路が、上記浮遊検出ノードに入力に接続されたソースフォロワ回路と、該ソースフォロワ回路の出力に一端が接続された結合容量と、該結合容量の他端に入力に接続された反転増幅回路と、該反転増幅回路の入力に接続されたバイアス設定手段と、を備えるように構成している。

【0015】また、上記バイアス設定手段は、例えば請求項2に記載のように、反転増幅回路の入力と出力間に接続されたスイッチング素子である。また、上記バイアス設定手段は、例えば、信号電荷の転送周期毎に信号電荷が浮遊検出ノードに転送される直前に上記反転増幅回路の入力のバイアス電圧設定を行なうものである。上記の構成は、例えば後記図10に示す実施の形態8に相当する。

【0016】上記の構成によれば、素子外部に出力される信号電圧振幅の大きな電荷移送素子(CCD型固体撮像素子)の出力回路を提供でき、結果として出力回路の信号対雑音比を向上させることが出来る。また、請求項3に記載のように、信号電荷の転送周期毎に信号電荷が浮遊検出ノードに転送される直前に反転増幅回路の入力

のバイアス電圧設定を行なうように構成することにより、従来素子外部で行っていた相関二重サンプリング法のクランプ機能を素子内で行うことが出来る。

【0017】

【発明の実施の形態】

（第1の実施の形態）本発明の第1の実施の形態を図1から図3により説明する。本実施の形態は、MOSトランジスタにおいて、そのゲート電極を第1のゲート電極としてそのドレイン側に第2のゲート電極を設け、かつ第1のゲート電極と第2のゲート電極を一部に絶縁層を介して重なりを設けたMOSトランジスタ例と、これをCCD型固体撮像素子出力回路に用いた例である。図1は第1の実施の形態のMOSトランジスタの断面構造図、図2は第1の実施の形態の出力回路の回路構成図、図3は図2のバッファトランジスタ1のゲート電圧の適正動作範囲を示す図である。なお、図1は図2A-A'の部分の断面構造でもある。

【0018】図1のMOSトランジスタでは、n型基板27上のpウェル26及びp+ウェル25上に第1のゲート電極である第1層ポリシリコンゲート電極22と、これと一部に絶縁層を介して重なりをもって第2のゲート電極となる第2層ポリシリコンゲート電極21が形成され、さらにドレインとなるn+拡散層24、ソースとなるn+拡散層23が設けられている。

【0019】第1層と第2層それぞれのポリシリコンゲート電極下のチャンネルはソースとドレイン間で相互に接してつながるように形成される。図中のLは第1層ポリシリコンゲート電極側のチャンネル長を示す。したがってこれとドレイン拡散層との間が第2層ポリシリコンゲート電極側のチャンネル長に相当する。そしてこれらのゲート電極下にそれぞれのMOSトランジスタが形成されることになる。ソースドレイン間電圧はこの両チャンネル長の領域が分担することとなる。したがってソースドレイン間間隔を所望の値にすることによりドレイン電界を容易に弱めることができる。

【0020】図2において、図15と同様に、出力回路は2段のソースフォロワーで構成され、2、3はそれぞれ初段ソースフォロワーを構成するドライバトランジスタ、負荷トランジスタ、4、5はそれぞれ次段ソースフォロワーを構成するドライバトランジスタ、負荷トランジスタ、6は水平CCD153から信号電荷の送られてくる浮遊拡散層115を水平CCDの転送周期ごとリセットするためのリセットトランジスタである。また、VRD、ΦR、VG、VDは図15と同様である。1は初段ソースフォロワードライバトランジスタ2のドレイン側電界を弱めるためのバッファトランジスタ、VTGはバッファトランジスタ1の直流ゲート電圧である。又、図中の太線は、トランジスタがディプレッション型であることを示す。本回路の動作は、図15と同様である。また図2の初段ソースフォロワードライバトランジ

スタのゲート電極は図1の第1層ポリシリコンゲート電極22であり、図2のバッファトランジスタのゲート電極は図1の第2層ポリシリコンゲート電極21である。

【0021】図3はバッファトランジスタ1の直流ゲート電圧VTGの適正動作範囲を示す図である。図中、VthTG、VthDはそれぞれバッファトランジスタ1と初段ソースフォロワードライバトランジスタ2のしきい値電圧、β、L、Wはそれぞれバッファトランジスタ1のドレインコンダクタンス定数、チャンネル長、チャンネル幅、Iは初段ソースフォロワーの貫通電流である。初段ソースフォロワードライバトランジスタ2が飽和動作し初段ソースフォロワードライバトランジスタ2の相互コンダクタンスの劣化が生じないように、初段ソースフォロワードライバトランジスタ2のゲート電圧となるリセット電圧に対し、バッファトランジスタ1の直流ゲート電圧VTGは、図中Aの直線より高い電圧とする。また、バッファトランジスタ1が飽和動作しドレイン電界の強い緩和効果が得られるように、電源電圧VDに対しバッファトランジスタ1の直流ゲート電圧VTGは、図中Bの直線より低い電圧とする。

【0022】本実施の形態によれば、初段ソースフォロワードライバトランジスタ2のドレイン電界を緩和し、したがってトランジスタの耐圧を向上することが出来る。そこで初段ソースフォロワードライバトランジスタ2を短チャネル化することができるようになり、これにより、高い信号対雑音比をもつCCD型固体撮像素子を実現できる。かつ、ドレイン電界の緩和により、初段ソースフォロワードライバトランジスタのドレインコンダクタンスも低減出来、高い電圧利得をもつCCD型固体撮像素子の出力回路を提供できる。

【0023】なお、本実施の形態では、バッファトランジスタ1と初段ソースフォロワードライバトランジスタ2が、ともにnチャンネルトランジスタの場合を述べたが、pチャンネルの場合も同様である。さらに、本実施の形態では、バッファトランジスタ1と初段ソースフォロワードライバトランジスタ2が、ともにエンハンスメント型の場合を述べたが、ともにディプレッション型でも、いずれか一方がディプレッション型でも同様である。

【0024】また、本実施の形態では、n型基板27上のpウェル26及びp+ウェル25上に初段ソースフォロワードライバトランジスタ2のバッファトランジスタ1と初段ソースフォロワードライバトランジスタ2が形成された場合を述べたが、本発明は基板構造によらずに実施できるのはいうまでもない。なお、本実施の形態では、ソースフォロワーの場合を述べたが、インバータ等他の回路構成でも、本発明は、同様な効果がある。さらに、本実施の形態は、CCD型固体撮像素子の出力回路だけでなく、電荷移送素子の出力回路の低雑音化、高電圧利得化にも効果がある。また、第1のゲート電極と第

1のゲート電極と空乏層によりチャンネルの接続された第2のゲート電極を有するMOSトランジスタを用いることにより、アナログ集積回路の高利得化ができる。

【0025】(第2の実施の形態)図4は、MOSトランジスタの他の実施の形態の断面構造図を示す。図4では第1のゲート電極と第2のゲート電極間にゲート電極長に比べて微小な空隙を設け、両電極下のチャンネルをソースドレイン間でそれぞれつながるように形成させたものである。空隙が非常に微小であればこのようなチャンネル形成も可能である。これによりドレイン電界を弱めるようにしたことは図1のものと同様である。なお、図中のLは第1層ポリシリコンゲート電極側のチャンネル長を示す。この実施の形態を半導体装置例として図2の初段ソースフォロワーに用いた場合、図4の断面図は図2のA-A'に対応する部分の断面構造図を示すものでもある。その場合に、図4と図2中、22から27までは図2と同様で、28は、初段ソースフォワードライバトランジスタ2のゲート電極となる第1層ポリシリコン22と微小な空隙を介し設けられたバッファトランジスタ1のゲート電極となる第1層ポリシリコンゲート電極である。2つのポリシリコン電極間には、拡散層は、形成されていない。

【0026】本実施の形態によれば、第1の実施の形態のようにポリシリコン層を重ねることなく、1層のポリシリコン層を形成するだけで、第1の実施の形態と同様の効果を得ることができ、製作工程を簡略化できる。

【0027】(第3の実施の形態)図5に示す実施の形態は、第1の実施の形態において、第2のゲート電極をドレイン点に接続したCCD型固体撮像素子の出力回路である。図中1から6、153、115、VRD、ΦR、VG、VDは、図2と同様である。バッファトランジスタ1のゲート端子は、電源電圧VDに接続されている。この結果、ピン数を低減出来る。なお、図3で述べた直線Bの条件を満たすため、バッファトランジスタ1のしきい値電圧は、正としている。

【0028】(第4の実施の形態)図6は信号電荷により電圧が変化する浮遊検出ノードにゲート電極が接続されたMOSトランジスタのドレイン側に第2のゲート電極を設け、第2のゲート電極を浮遊検出ノードの信号電荷による電圧変化と同極性の電圧変動の生じる出力回路内の出力点に接続したCCD型固体撮像素子の出力回路構成図である。図中の符号は、図2と同様である。本実施の形態では、信号電荷による浮遊拡散層115の電位変化はトランジスタ2、3からなる初段ソースフォロワーにより検出され、トランジスタ4、5からなる次段ソースフォロワーにより素子外部に出力されるとともにバッファトランジスタ1のゲートに伝えられる。初段ソースフォワードライバトランジスタ2のドレイン電圧となるバッファトランジスタ1のゲート下電位変化と、ソース電圧となる初段ソースフォロワーの出力Cの電位変

化は、同極性となり、信号電荷によるソースドレイン間電圧の増加を防ぐことが出来る。以上の結果、信号電荷によるドレイン側電界の増加を低減出来、初段ソースフォワードライバトランジスタ2のチャンネル長を短くしても、長期信頼度劣化は起こることがなく、出力回路を低雑音化することが出来る。さらに、初段ソースフォワードライバトランジスタ2のソースドレイン間の電圧をほぼ一定に保てるため、回路上のドレインコンダクタンスを低減し、高い利得を持つCCD型固体撮像素子の出力回路を得ることが出来る。

【0029】なお、本実施の形態では、第1の実施の形態と同様に、第2のゲート電極が信号電荷により電圧が変化する浮遊検出ノードに接続された第1のゲート電極と一部に重なりを有する場合を述べたが、両ゲートが重なりを有さず両ゲート間に拡散層のある場合にも、同様の効果がある。

【0030】さらに、本実施の形態においても、図3で述べた直線Aの条件を満たす必要がある。このために、バッファトランジスタ1のゲートへの入力電圧となる次段ソースフォロワーの出力電圧VOUTを上げるために、次段ソースフォワードライバトランジスタ4は、ディプレッショントランジスタで構成している。なお、このような動作点設定は、バッファトランジスタ1をディプレッション型、初段ソースフォワードライバトランジスタ2エンハンスメント型とし、 $V_{thTG} - V_{thD}$ を負の大きな値とすることによっても実現できる。また、本発明は、CCD型固体撮像素子の出力回路だけでなく、電荷移送素子の出力回路の低雑音化、高電圧利得化及びアナログ集積回路の高利得化にも適用できる。

【0031】(第5の実施の形態)第4の実施の形態においては、次段ソースフォロワーの出力電圧VOUTは高い電圧となり、次段ソースフォロワー負荷5のソースドレイン間に高い電圧がかかり、その耐圧が問題となることがある。図7は、バッファトランジスタ1の駆動段となる次段ソースフォワードライバトランジスタ4と負荷トランジスタ5の間にゲートとドレインの接続された次段高耐圧化トランジスタ61を設け、負荷トランジスタ5のソースドレイン間電圧を低減したCCD型固体撮像素子の出力回路構成図である。負荷トランジスタ5のドレインDの電圧は、VOUTより高耐圧化トランジスタ61のゲートソース間電圧だけ低い電圧となる。この結果、負荷5の耐圧が問題とならなくなる。

【0032】又、第4の実施の形態では、次段ソースフォロワーのドライバトランジスタの基板効果により、C点とVOUTの電圧変化が等しくならず、初段ソースフォワードライバトランジスタ2のソースドレイン間の電圧は完全には一定にはならない。本実施の形態では、次段ソースフォワードライバトランジスタ4と次段高耐圧化トランジスタ61を次段高耐圧化トランジスタ61のソースDに接続したPウェル内にいれ、次段ソース

フォロワードライバトランジスタの基板効果を低減している。この結果、C点とVOUTの電圧変化がほぼ等しくなり、さらに、耐圧向上とドレインコンダクタンス低減をはかれる。

【0033】なお、ドライバトランジスタと負荷トランジスタの間にゲートとドレインの接続された高耐圧化トランジスタを設け、各トランジスタのソースドレイン間電圧を低減するという本発明は、本実施の形態で述べたCCD型固体撮像素子の出力回路だけでなく、電荷移送素子の出力回路のアナログ集積回路の高耐圧化にも適用できる。

【0034】(第6の実施の形態) 図8は、素子外部を駆動するためのMOSトランジスタのドレイン側にゲート電極と空乏層によりチャネルの接続された第2のゲート電極を設けたCCD型固体撮像素子の出力回路構成図である。出力回路は200万画素程度のハイビジョン用素子で通例用いられている3段のソースフォロワーで構成され、1から6、153、115、VRD、ΦR、VG、VDは図2と同様で、71、72、73は、それぞれ終段ソースフォロワーを構成するバッファトランジスタ、ドライバトランジスタ、負荷トランジスタである。本実施の形態では、トランジスタ4、5からなる次段ソースフォロワーは初段ソースフォロワーの低い電圧レベルを終段ソースフォロワーの動作に適切な電圧レベルまで上げるレベルシフトの役割をするともに、大きな入力容量をもつ終段ソースフォロワーを駆動するためのバッファとなっている。上記レベルシフトのため、次段ソースフォロワードライバトランジスタ4は、ディフレーション型トランジスタとしている。

【0035】本実施の形態によれば、素子外部を駆動するための終段ドライバトランジスタ72のドレイン側に設けたゲート電極と空乏層によりチャネルの接続された第2のゲート電極を有するバッファトランジスタ71によりドレイン電界が弱まり、終段ドライバトランジスタ72の短チャネル化が可能となり、低消費電力CCD型固体撮像素子の出力回路を実現できる。

【0036】(第7の実施の形態) 第6の実施の形態で述べた3段のソースフォロワー構成においては、次段ソースフォロワーで不要な消費電力が発生する。図9は、次段ソースフォロワードライバトランジスタ4と負荷トランジスタ5の間にゲートとドレインの接続された次段ソースフォロワー出力トランジスタ81を設け、次段ソースフォロワー出力トランジスタ81のソースを出力端子とすることにより、この問題を解決したCCD型固体撮像素子の出力回路構成図である。図中1から6、153、115、VRD、ΦR、VG、VDは図2と同様で、81は素子外部を駆動する次段ソースフォロワー出力トランジスタである。第4の実施の形態と同様に次段ソースフォロワードライバトランジスタ4のソースをバッファトランジスタ1のゲートに接続している。また、

第5の実施の形態と同様に次段ソースフォロワードライバトランジスタ4と次段ソースフォロワー出力トランジスタ81をVOUTに接続したPウェル内に形成している。

【0037】トランジスタ1から3よりなる初段ソースフォロワーは、まず、ゲート容量の小さい次段ソースフォロワードライバトランジスタ4を駆動し、ついで、次段ソースフォロワー出力トランジスタ81が素子外部の負荷を駆動する。この結果、次段ソースフォロワーは、小さな入力容量と素子外部を駆動するための低いインピーダンスを兼ね備えることが出来、ソースフォロワーを2段構成とし、低消費電力CCD型固体撮像素子の出力回路を実現出来る。なお、次段ソースフォロワー出力トランジスタ81は、第4の実施の形態における次段高耐圧化トランジスタ61と同様の効果も持つ。

【0038】(第8の実施の形態) 第6の実施の形態で述べた3段のソースフォロワー構成においては、各ソースフォロワーの電圧利得が1以上となりえないため、素子出力端の信号電圧振幅が小さく、素子外部の信号処理に不都合を生じる場合がある。図10は、次段をインバータとすることにより、素子出力端の信号電圧振幅を大きくしたCCD型固体撮像素子の出力回路構成図である。図中1から3、6、153、115、VRD、ΦR、VG、VDは図2と同様で、91、92はそれぞれ次段インバータを構成するドライバトランジスタ、負荷トランジスタ、93、94、95はそれぞれ終段ソースフォロワーを構成するドライバトランジスタ、出力トランジスタ、負荷トランジスタ、96は次段インバータをセルフバイアスするためのオートバイアストランジスタ、97は初段ソースフォロワーの信号出力を次段インバータに伝えるための結合容量である。また、終段ソースフォロワードライバトランジスタ93と終段ソースフォロワー出力トランジスタ94をVOUTに接続したPウェル内に形成し基板効果を低減している。

【0039】水平CCD153による水平1行の走査が始まる前(水平ブランキング期間)にバイアスパルスΦBが高い電圧となりオートバイアストランジスタ96が導通し、次段インバータが高利得領域にセルフバイアスされる。ついで、走査が始まると、初段ソースフォロワーの信号出力は結合容量97を介し次段インバータに伝えられ、電圧振幅が増幅されたのち、終段ソースフォロワードライバトランジスタ93でレベルシフトされ、終段ソースフォロワー出力トランジスタ94により、素子外部に出力される。本実施の形態に依れば、素子外部に出力される信号電圧振幅の大きなCCD型固体撮像素子の出力回路を提供できる。

【0040】なお、バイアスパルスΦBは、水平CCDの1転送周期ごとリセットパルスΦRが入力されたのち、水平CCD153から浮遊拡散層115に信号電荷が転送される直前に高い電圧としても良い。この動作に

より、従来素子外部で行っていた相関二重サンプリング法のクランプ機能を素子内で行うことが出来る。

【0041】(第9の実施の形態)図11は、出力回路のグランド電位を電荷移送素子の形成されている基板電位より低くしたCCD型固体撮像素子の出力回路構成図である。図中、1から6、153、115、VRD、ΦR、VG、VD、VTGは図2と同様である。出力回路のグランド電圧VSは、水平CCD153の形成されているPウェル電圧0Vより高い電位に設定されている。この結果、電源投入、切断時あるいは動作時の初段ソースフォロワドライバトランジスタ1への印加電圧が低くなり、ドレイン側電界が弱まり、チャネル長を短くしても、ソースドレイン間の耐圧不良並びにトランジスタの長期信頼度劣化は起こることがなく、出力回路を低雑音化することが出来る。

【0042】(第10の実施の形態)本実施の形態は、信号電荷により電圧が変化する浮遊検出ノードにゲート電極が接続されたMOSトランジスタの少なくともドレイン側の拡散層をゲート電極より一定の距離をおいて形成し、拡散層とゲート電極間に拡散層と同一極性でより低濃度の不純物層を設けたCCD型固体撮像素子の出力回路の例である。図12は図16のB-B'に対応する部分の断面構造図を示す図、図13は図12の構造を作るためのプロセスを示す図である。図12において、23、25から27、116は図1と同様であり、101はポリシリコンゲート116から一定の距離をおいて形成されたオフセットドレイン拡散層、102は拡散層101とポリシリコンゲート116の間に設けられた拡散層と同一極性でより低濃度の不純物層である。例えば101の拡散層の濃度は $10^{20}/\text{cm}^3$ 、深さは $0.2\mu\text{m}$ 程度、不純物はAsであり、102の拡散層の濃度は $5 \times 10^{17} \sim 5 \times 10^{18}/\text{cm}^3$ 、深さは $0.15\mu\text{m}$ 程度、不純物はPである。

【0043】図12の構造は、MOSメモリ等で広く用いられているMOSトランジスタの高耐圧構造であるが、従来のCCD型固体撮像素子では、用いられていなかった。その一つの理由は、ポリシリコンゲート116からオフセットドレイン拡散層を一定の距離をおいて形成するため、従来は素子上に一樣に SiO_2 膜を形成しドライエッチングした後にポリシリコンゲート116の側壁に残る SiO_2 膜を用いていたことにある。すなわち、ドライエッチングに伴うホットダイオード151表面のダメージによる暗電流や微小欠陥の増大により画質低下が生じ、CCD型固体撮像素子では出力回路154に上記構造を取るにいたっていなかった。本実施の形態においては、ホットマスクにより、ポリシリコンゲート116からオフセットドレイン拡散層101を一定の距離をおいて形成することにより、以上の問題を解消し、CCD型固体撮像素子の出力回路154で上記構造を実現したものである。以下、図13により作成プロセスを説明

する。

【0044】ポリシリコンゲート116が形成されたのち、トランジスタのドレイン側に、ホトレジスト膜103とポリシリコンゲート116をマスクとして、リンがイオン注入され、低濃度不純物層102が形成される。

(図13(a))について、トランジスタのドレイン側ではポリシリコンゲート116とXだけの距離の間に形成されたホトレジスト膜92およびソース側に図のような位置に形成されたホトレジスト104をマスクとしてAsがイオン注入され、オフセットドレイン拡散層101とソース拡散層23が形成される。(図13(b))以上のようにして、何ら、ドライエッチをすることなく、上記構造を実現できる。

【0045】本実施の形態によれば、CCD型固体撮像素子の出力回路の信号電荷により電圧が変化する浮遊検出ノードにゲート電極が接続されたMOSトランジスタのドレイン側の電界を弱めることが出来、上記MOSトランジスタのチャネル長を短くしても、ソースドレイン間の耐圧不良並びにトランジスタの長期信頼度劣化は起こることがなく、出力回路を低雑音化することが出来る。

【0046】なお、本実施の形態の作成法においては、マスク合わせに対する余裕を取るため距離Xを大きくせざるをえない。この結果、低濃度不純物層の大きな抵抗が電流経路に生じるが、本実施の形態では、オフセット構造をドレイン側だけに設けることにより、相互コンダクタンスの劣化等の悪影響を避けることが出来る。

【0047】また、本構造は、従来の作成法において、ドライエッチを出力回路部においてのみ行うことによっても実現できる。さらに、本実施の形態では、nチャネルトランジスタの場合を述べたが、pチャネルの場合も同様である。さらに、本実施の形態では、エンハンスメント型の場合を述べたが、ディプレッション型でも同様である。また、ディプレッション型の場合には、ポリシリコンゲート116下のn層をオフセットドレイン拡散層101と接続するように設けることにより、低濃度不純物層102を設けなくとも良い。また、本実施の形態では、n型基板27上のpウェル26及びp+ウェル25上にトランジスタが形成された場合を述べたが、本発明は、基板構造によらずに実施できるのはいうまでもない。

【0048】(第11の実施の形態)図14は、信号電荷により電圧が変化する浮遊検出ノードにゲート電極が接続されたMOSトランジスタの少なくともドレイン側の拡散層のまわりに拡散層と同一極性でこれより低濃度の不純物層を設けたCCD型固体撮像素子の出力回路の図16のB-B'に対応する部分の断面構造図である。図中23から27、116は図1と同様であり、105はドレイン拡散層24のまわりに設けた拡散層24と同一極性でより低濃度の2重ドレイン層である。ここで例

例えば24の拡散層の濃度は $10^{20}/\text{cm}^3$ 、深さは $0.2 \sim 0.3 \mu\text{m}$ 、不純物はAsであり、105の拡散層の濃度は $5 \times 10^{17} \sim 5 \times 10^{18}/\text{cm}^3$ 、深さは $0.3 \sim 0.5 \mu\text{m}$ 、不純物はPである。

【0049】本実施の形態によれば、CCD型固体撮像素子の出力回路の信号電荷により電圧が変化する浮遊検出ノードにゲート電極が接続されたMOSトランジスタのドレイン側の電界を弱めることが出来、上記MOSトランジスタのチャネル長を短くしても、ソースドレイン間の耐圧不良並びにトランジスタの長期信頼度劣化は起こることがなく、出力回路を低雑音化することが出来る。

【0050】

【発明の効果】本発明により、素子外部に出力される信号電圧振幅の大きな電荷移送素子（CCD型固体撮像素子）の出力回路を提供でき、結果として信号対雑音比を向上させることが出来るという効果が得られる。また、信号電荷の転送周期毎に信号電荷が浮遊検出ノードに転送される直前に反転増幅回路の入力のバイアス電圧設定を行なうように構成することにより、従来素子外部で行っていた相関二重サンプリング法のクランプ機能を素子内で行うことが出来る。

【0051】また、CCD型固体撮像素子、広くは、電荷移送素子の出力回路の信号電荷により電圧が変化する浮遊検出ノードにゲート電極が接続されたMOSトランジスタのドレイン側電界を弱め、ソースドレイン間の耐圧不良並びにトランジスタの長期信頼度劣化を起こすことなく、上記MOSトランジスタのチャネル長を従来の3ミクロン以上から1ミクロン以下に短くでき、出力回路の雑音を1/3以下にすることが出来る。

【0052】また、素子外部を駆動するためのMOSトランジスタのドレイン側電界を弱め、ソースドレイン間の耐圧不良並びにトランジスタの長期信頼度劣化は起こすことなく、上記MOSトランジスタのチャネル長を従来の3ミクロン以上から1ミクロン以下に短くでき、出力回路の消費電力を1/3以下にすることが出来る。

【0053】さらに、アナログ集積回路において、回路を構成するトランジスタのドレインコンダクタンスを小さくすることが出来、高い利得を持つ増幅器を実現出来る。またこのような回路の半導体装置の低雑音化、低消費電力化、あるいは高利得化に好適なトランジスタとしてドレイン電界を緩和したMOSトランジスタを実現できる。

【図面の簡単な説明】

【図1】本発明におけるMOSトランジスタの第1の実施の形態の断面構造図。

【図2】本発明の半導体装置の第1の実施の形態の回路構成図。

【図3】図2の回路の最適動作範囲を示す特性図。

【図4】本発明におけるMOSトランジスタの第2の実

施の形態の断面構造図。

【図5】本発明の半導体装置の第3の実施の形態の回路構成図。

【図6】本発明の半導体装置の第4の実施の形態の回路構成図。

【図7】本発明の半導体装置の第5の実施の形態の回路構成図。

【図8】本発明の半導体装置の第6の実施の形態の回路構成図。

【図9】本発明の半導体装置の第7の実施の形態の回路構成図。

【図10】本発明の半導体装置の第8の実施の形態の回路構成図。

【図11】本発明の半導体装置の第9の実施の形態の回路構成図。

【図12】本発明の半導体装置の第10の実施の形態の構造断面図。

【図13】図12に示した構造の形成プロセスを示す図。

【図14】本発明の半導体装置の第11の実施の形態の構造断面図。

【図15】従来例の素子構成を示すブロック図。

【図16】図15における出力回路の回路構成図。

【図17】従来における図16のB-B'の部分の断面構造図。

【図18】CCD出力回路のドライバトランジスタのチャネル長に対するソースドレイン間耐圧特性を説明するための特性図。

【符号の説明】

- | | | |
|--------|----------------------|-----------------|
| 1 | 初段ソースフォロワーバッファトランジスタ | |
| 2 | 初段ソースフォロワードライバトランジスタ | |
| 3 | 初段ソースフォロワー負荷トランジスタ | |
| 4 | 次段ソースフォロワードライバトランジスタ | |
| 5 | 次段ソースフォロワー負荷トランジスタ | |
| 6 | リセットトランジスタ | |
| 21 | 第2層ポリシリコンゲート電極 | |
| 22, 28 | 第1層ポリシリコンゲート電極 | |
| 23, 24 | n+拡散層 | 25...p+ウェル |
| 26 | pウェル | 27...n型基板 |
| VD | 出力回路電源電圧 | VS...出力回路グランド電圧 |
| VOU | 出力電圧 | |
| 61 | 次段高耐圧化トランジスタ | |
| 71 | 終段ソースフォロワーバッファトランジスタ | |
| 81 | 次段ソースフォロワー出力トランジスタ | |
| 91 | 次段インバータ負荷トランジスタ | |
| 92 | 次段インバータドライバトランジスタ | |
| 94 | 終段ソースフォロワー出力トランジスタ | |

96...オートバイアストランジスタ
101...オフセットドレイン拡散層
102...低濃度不純物層
トレジスト膜
105...2重ドレイン層

* 遊拉散層

104...ホ
115...浮*
151...ホトダイオード
直CCD
153...水平CCD
力回路

152...垂

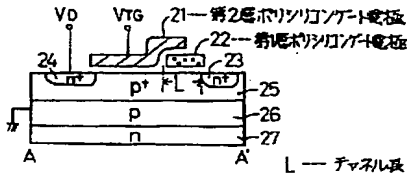
154...出

【図1】

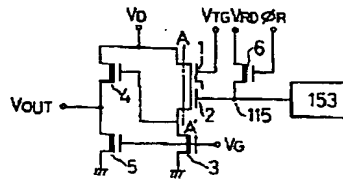
【図2】

【図3】

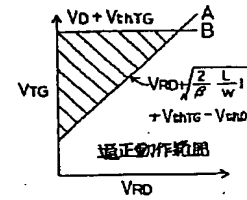
(図1)



(図2)

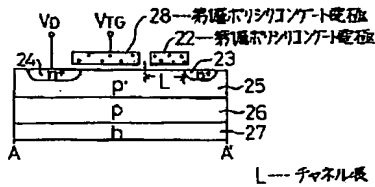


(図3)



【図4】

(図4)

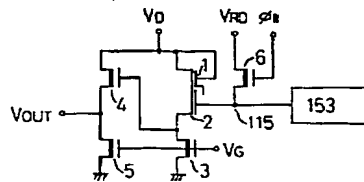


1—初段ソースフォワードパワートランジスタ
2—初段ソースフォワードドライバトランジスタ
3—初段ソースフォワード負荷トランジスタ
4—次段ソースフォワードドライバトランジスタ
5—次段ソースフォワード負荷トランジスタ
6—リセットトランジスタ

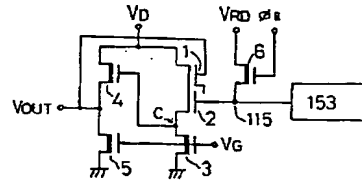
【図5】

【図6】

(図5)

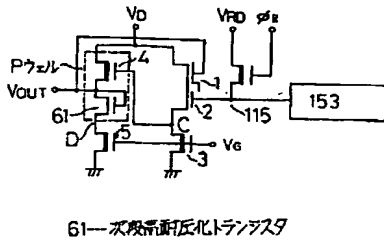


(図6)



【図7】

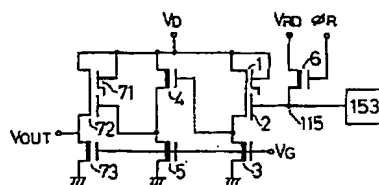
(図7)



61—次段電源反転トランジスタ

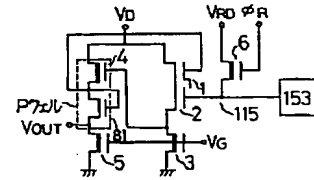
【図8】

(図8)



【図9】

(図9)



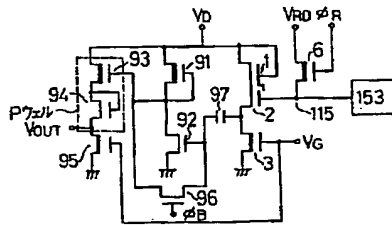
81—次段ソースフォワードトランジスタ

71—最終ソースフォワードパワートランジスタ
72—最終ソースフォワードドライバトランジスタ
73—最終ソースフォワード負荷トランジスタ

(10)

【図10】

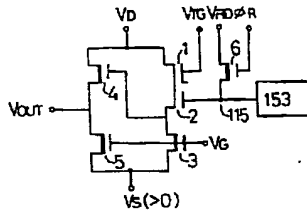
(図10)



- 91—第1段PMOS負荷トランジスタ
- 92—第1段NMOS負荷トランジスタ
- 93—第2段PMOS負荷トランジスタ
- 94—第2段NMOS負荷トランジスタ
- 95—第3段PMOS負荷トランジスタ
- 96—第3段NMOS負荷トランジスタ
- 97—結合容量

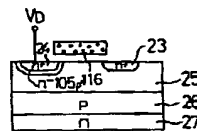
【図11】

(図11)



【図14】

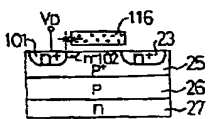
(図14)



105—2重ドレイフ層

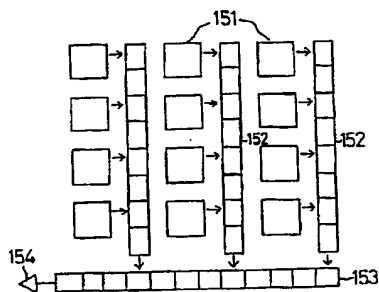
【図12】

(図12)



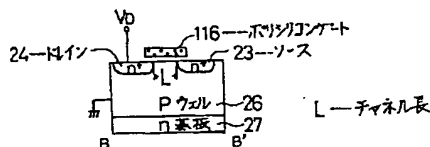
【図15】

(図15)



【図17】

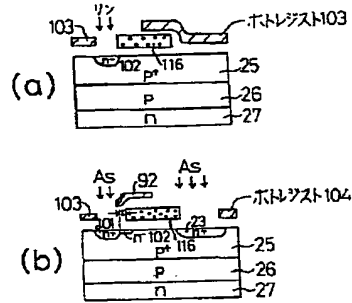
(図17)



L—チャネル長

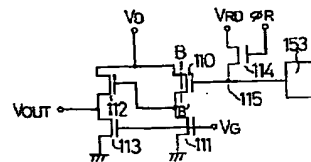
【図13】

(図13)



【図16】

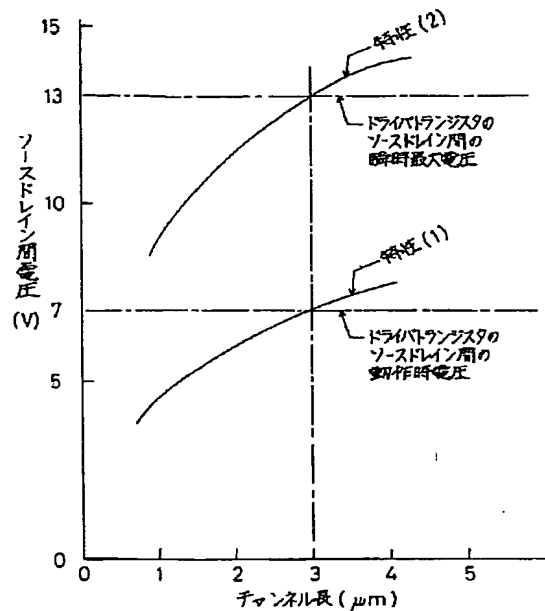
(図16)



- 110—初段PMOS負荷トランジスタ
- 111—初段NMOS負荷トランジスタ
- 112—第2段PMOS負荷トランジスタ
- 113—第2段NMOS負荷トランジスタ
- 114—第3段PMOS負荷トランジスタ
- 115—第3段NMOS負荷トランジスタ
- 116—結合容量
- Vp—リセット電圧
- Vn—リセット電圧
- Vg—負荷ゲート電圧

【図18】

(図18)



特性(1)——信頼度や消費電力を考慮したソースドレイン間電圧特性

特性(2)——ソースドレイン間瞬時最大電圧特性

フロントページの続き

(51)Int.Cl.⁶

H04N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 小野 秀行

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 田中 治彦

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 徳升 一也

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

THIS PAGE BLANK (USPTO)